

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-145801

(43)Date of publication of application : 21.06.1991

(51)Int.Cl.

H01P 1/15
H03K 17/687

(21)Application number : 02-281685

(71)Applicant : RAYTHEON CO

(22)Date of filing : 19.10.1990

(72)Inventor : TSUKII TOSHIKAZU
MILLER MICHAEL D
HOUNG S GENE
MCOWEN JR SHERWOOD A

(30)Priority

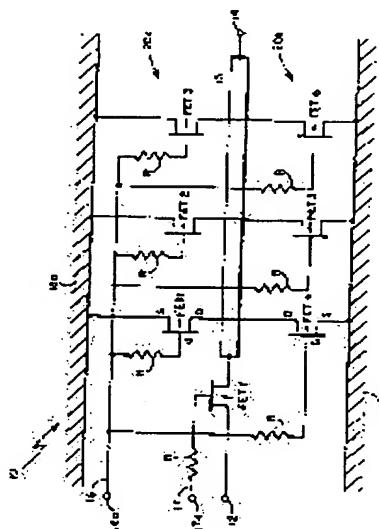
Priority number : 89 424773 Priority date : 20.10.1989 Priority country : US

(54) HIGH SEPARATIVE PASSIVE SWITCH

(57)Abstract:

PURPOSE: To obtain small size, high speed and high separation by forming by a series circuit of transistors and radio frequency propagation lines provided between the terminals of a switch, and a transistor provided with, at least, a pair of symmetrical parallel (shunt) combining connected between reference potentials.

CONSTITUTION: The switch 10 includes a 1st group 20a (the transistors FETs 1 to 3) and a 2nd group 20b (the transistor FETs 4 to 6). The source electrodes of the FETs 1 to 3 are connected to a reference potential (ground) via a conductor 18a, and the source electrodes of the FETs 4 to 6 are connected to the reference potential via a conductor 18b. A propagation circuit net 15 is connected between the signal terminal of the switch 10 and the transistor FET 7. The source electrode of the FET 7 and a drain electrode are connected between the 2nd terminal 12 of the switch 10 and the propagation circuit net 15. Each of the gate electrodes of the FETs 1 to 6 is connected to a control terminal 16a via a conductor 16, and the gate electrode of the FET 7 is connected to a control terminal 17a via a conductor 17. If the switch 10 is turned 'off', the FETs 1 to 6 are put into 'on' state and the FET 7 is put into 'off' state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-145801

⑬ Int.Cl.⁵

H 01 P 1/15
H 03 K 17/687

識別記号

庁内整理番号

8626-5 J

⑭ 公開 平成3年(1991)6月21日

7827-5 J

H 03 K 17/687

G

審査請求 未請求 請求項の数 5 (全11頁)

⑮ 発明の名称 高分離性受動スイッチ

⑯ 特 願 平2-281685

⑰ 出 願 平2(1990)10月19日

優先権主張 ⑱ 1989年10月20日 ⑲ 米国(US) ⑳ 424773

㉑ 発 明 者 トシカズ・ツキイ アメリカ合衆国カリフォルニア州サンタ・バーバラ、ヴィ
ア・アンドラ 4152, ナンバー ビー
㉒ 発 明 者 マイケル・デー・ミ アメリカ合衆国カリフォルニア州ゴレタ, プラエバーン・
ラー ドライブ 6153
㉓ 発 明 者 エス・ジーン・ハウン アメリカ合衆国カリフォルニア州ゴレタ, ラゴレタ・アベ
ニュー 6173
㉔ 出 願 人 レイセオン・カンパニ アメリカ合衆国マサチューセッツ州カウンティ・オブ・ミ
ドルセックス, レキシントン (番地なし)
㉕ 代 理 人 弁理士 湯浅 恭三 外4名
最終頁に続く

明 細 書

1. 発明の名称

高分離性受動スイッチ

2. 特許請求の範囲

1. 1 対の端子を持つ無線周波スイッチにおいて、

各々が制御電極と、第1および第2の電極とを有する少なくとも1対のトランジスタと、

第1の端部が前記スイッチの第1の端子に接続された伝搬回路網とを備え、前記トランジスタ対の各々の第1および第2の電極の1つが前記回路網に接続され、更に

制御電極と、第1および第2の電極とを有する第3のトランジスタを備え、該第1および第2の電極の一方の電極が前記スイッチの第2の端子に接続され、前記第1および第2の電極の他方が前記伝搬回路網に接続される無線周波スイッチ。

2. 前記トランジスタ対の各々の制御電極が、前記スイッチの第1の制御端子に接続され、前記第3のトランジスタの制御電極が前記スイッチの第2の異なる制御端子に接続される請求項1記載の回路。

3. 前記トランジスタ対の前記第1および第2の電極の他方の電極が基準電位に接続される請求項2記載の回路。

4. 第1の面上にグラウンド面導体を配置し、かつ第2の反対面上にトランジスタを配置した基板と、

前記基板の他方の反対側面上に配置され、前記トランジスタ対の前記電極の他方の電極を前記基準電位に相互に接続する1対の導体とを更に備えた請求項3記載の回路。

5. 前記第2の反対面上に配置された前記導体の各々が、前記基板を介して配置された複数のメッキされたパイアにより該基材の第1の面上に配置されたグラウンド面導体に接続される請求項4記載の回路。

3. 発明の詳細な説明

(技術分野)

本発明は、無線周波回路に関し、特に無線周波スイッチング回路に関する。

(背景技術)

当技術において周知の如く、無線周波スイッチは無線周波システムにおいて多くの用途を有する。当技術においてよく知られる1つのタイプのスイッチング回路は、受動的なスイッチング要素としてPINダイオードを使用する。PINダイオードを使用するこのようなスイッチの一例は、Reidの論文「マイクロ波・スイッチおよび減衰器モジュール(Microwave Switch and Attenuator Modules)」(Microwave Journal、1973年7月号、145~148頁)に記載されている。PINダイオード・スイッチは、中程度の切換え速度(即ち、数十ナノ秒程度)および比較的大きな周波数帯域にわたる略々35dBを越える良好な分離の利点を提供する。それにも拘わらず、PINダイオード・スイッチにはいくつかの短所

より提供された分離が比較的劣ったものであったことである。一般に、分離レベルは2乃至18GHzの周波数範囲にわたり約35dB以下に限定されてきた。このような分離はある用途においては耐えられるものであるが、電子妨害(ECM)における如き他の用途においては、35dB以下の分離は不十分である。35dBを越える分離レベルがしばしば要求される。このため、高度の分離を要求するこれらの用途においては、上記のPINダイオード方式が用いられてきた。それにも拘わらず、比較的高い分離を有し、これによりモノリシック・マイクロ波集積回路において集積することができるFETに基づくスイッチを提供することが望ましい。

(発明の要旨)

本発明によれば、少なくとも2つの端子を持つ無線周波スイッチは少なくとも1対のトランジスタを含み、このトランジスタの各々が1つの制御電極と第1および第2の電極とを有する。制御電極の各々は、前記第1および第2の電極間

(2)

が存在する。特に、1つの短所は、PINダイオードがモノリシック・マイクロ波集積回路と容易に集積されない。将来の多くの無線周波システムは、システムの性能水準および信頼性を増しながら、システム・サイズおよびコストを低減するためモノリシック・マイクロ波集積回路をを要求することになろう。更に、多くのシステム用途が、略々5ナノ秒以下の比較的速いスイッチング速度を必要としている。

小型化およびスイッチング速度の高速化の問題に対する1つの解決法は、金属半導体電界効果トランジスタ(MESFET)に基づく受動型スイッチを提供することである。このようなスイッチは、受動型要素として電界効果トランジスタを使用し、これにより出力あるいはドレイン回路のバイアスなしに作動する。これらのトランジスタは、非対称的な直列および並列(シャント)の組合わせで接続されて、特定のスイッチング回路を提供する。しかし、この試みの1つの問題は、これまでこのようなスイッチに

のトランジスタの導通性を選択的に制御するための第1の制御信号が供給される。このスイッチは更に、スイッチの端子の1つに接続された第1の端部を有する無線周波伝搬線を含む。前記第1および第2のトランジスタの各々の第1および第2の電極は、この伝搬線と接続されている。このスイッチは更に、制御電極と第1および第2の電極を有する第3のトランジスタを含む。この第3のトランジスタの制御電極は、前記第1および第2の電極間の導通性を制御するため、第2の制御信号が供給される。第3のトランジスタの前記第1および第2の電極の第1のものは、無線周波数伝搬線の第2の端部に接続され、第3のトランジスタの前記第1および第2の電極の第2のものは、するための第2の端子に接続される。本スイッチは更に、前記対のトランジスタの前記各第1および第2の電極の第2のものを基準電位に接続する手段を含む。このような特定構成により、スイッチの「オフ」状態において、端子対の端子間の比較的高い分離を

有するRFスイッチが提供される。1対の対称的な並列(シャント)結合が設けられたFETを使用することにより、無線周波数エネルギーの望ましくないインピーダンスの不連続性が減少させられる。

本発明の更に別の特質によれば、電極を基準電位に接続するための手段は、複数のトランジスタおよび無線周波数伝搬線を支持する基板の一面上に配置された1対の導体を含む。シャント支持された各トランジスタは、その基準電極が導体対の一方を介して基準電位に接続されている。各導体は、前記導体とグラウンド面間に置かれた電着(メッキ)パイアにより基板の反対面上に配置されたグラウンド面導体に接続されている。このような特定の構成により、無線周波数伝搬線が対の一般導体により提供されるチャンネルに両成される。このような導体は、トランジスタの電極の上面接地を提供し、スイッチにおける望ましくない寄生結合、放射、および表面伝搬の抑制を助け、これにより比較的高い分離度を有する

ことができよう。

(実施例)

まず第1図において、無線周波スイッチ、ここでは単極単投スイッチ10が、第1の組20a即ち複数の電界効果トランジスタFET1乃至FET3を含むように示され、各トランジスタはゲート電極と、ソース電極と、ドレーン電極とを有する。ここで、前記トランジスタは、第2図および第2A図に関して更に述べるように金属半導体電界効果トランジスタ(MESFET)である。しかし、他のトランジスタを代りに使用してもよい。スイッチ10は更に、各々がゲート電極とソース電極とドレーン電極とを有し、かつ本例では各々が上記の如くMESFETである第2の組即ち複数のトランジスタ、本例ではFET4乃至FET6を含むように示される。ここでは、前記トランジスタFET1乃至FET3は、そのソース電極(S)が導体18aを介して共通の基準電位、本例ではグラウンドに接続されている。同様に、トランジスタFET4乃至

(3) スイッチを提供する。

本発明の更に別の特質によれば、外部RF接続および望ましいバイアス接続が、チャンネル化導体によって前記RFスイッチに対して行われる。このような構成の一例として、チャンネル化された無線周波パッケージは、複数のくぼんだチャンネルが配置された導体材料からなるベースを含む。このくぼんだチャンネルの一部は、制御信号を無線周波スイッチに接続するため制御線が配置されている。前記のくぼんだチャンネルの第2の他の部分は、パッケージ上に配置あるいは提供された外部コネクタに前記スイッチのRF信号端子を連結するため微小幅の伝送線が配置されている。比較的深い、分離されたチャンネルを提供してスイッチを外部回路に連結することにより、RF信号の寄生結合が最小限度に抑えられ、これによりスイッチの比較的高い分離度を維持する。

本発明の上記の諸特徴は、本発明自体と共に、図面の以降の詳細な記述から更によく理解する

FET6のソース電極(S)は、図に示すように第2の導体18bを介して基準電位に接続されている。スイッチ10は、伝搬回路網15を更に含むように示され、この伝搬回路網15は極細伝送線である。この伝搬回路網15は、その一端部がスイッチ10の信号端子14と接続され、その第2の端部がトランジスタ、本例ではFET7に接続されている。トランジスタFET7もまた、制御電極即ちゲート電極Gとソース電極とドレーン電極とを有する。ソース電極およびドレーン電極は、スイッチ10の第2端子12と伝搬回路網15間に接続される。トランジスタFET1乃至FET3およびFET4乃至FET5の各々のゲート電極即ち制御電極(G)は、図示のように共通導体16およびブルアップ抵抗(R)を経て第1の制御端子16aに接続される。トランジスタFET7のゲート電極(G)は、導体17およびブルアップ抵抗(R)を介して第2の制御端子17aに接続される。

広帯域の用途の場合は、前記組20a、20bの

各々における複数の対のトランジスタを提供することが望ましい。前記トランジスタの連続するものが、伝搬線15により接続されて間隔およびインピーダンスを持ち、これがソース電極およびドレーン電極と共に予め定めた特性のインピーダンスを有する回路網を提供する。このように、トランジスタの固有リアクタンスが、広帯域性能を提供するためスイッチを設計する際考慮に入れられる。非対称性に対する一般的な広帯域マッチング手法が、参考のため本文に引用される本発明の譲受人に譲渡されたAyasliの米国特許第4,456,888号に記載されている。しかし、このスイッチは、前記チャンネル20a、20bの各々に配置された単一の電界効果トランジスタにより作動可能である。

スイッチ10の「オン」状態においては、端子12に与えられる信号が端子14に接続されるが、スイッチ10の「オフ」の状態では、端子12に与えられる信号は電界効果トランジスタを用いる従来技術の方法と比較して比較的高い分離度で

ドレーン電極間の比較的低いインピーダンスの経路を介して伝搬回路網15の各部を接地する。更にまた、第2の制御信号は第2の反対の状態を持つ端子17aに加えられ、トランジスタFET7を高インピーダンス状態に置き、これにより端子12と伝搬回路網15間に関回路を提供する。

入出力端子間に高い分離を有するモノリシック・マイクロ波集積回路の受動FETに基づくスイッチの提供における問題は、回路が実際にMMICとして構成される時、寄生結合および放射、および表面伝搬により起生される。典型的には、このようなスイッチの設計は、端子間に比較的高い分離を予測することができる。しかし、このような典型的な設計がMMICの実際の回路に具現される時、測定される分離は予測されるものよりも著しく小さなものである。予測される分離と実際の分離間のこのような矛盾の原因は、現在可能なマイクロ波設計手法が、実際の回路に起生する望ましくない結合、放射および表面伝搬を

(4) 端子14から分離される。スイッチ10を提供するため、その「オン」状態では、制御信号が端子16aに与えられ、DC経路16および抵抗Rを介してトランジスタFET1乃至FET6の各々のゲート電極Gに送られ、前記トランジスタ(FET1乃至FET6)をその高インピーダンス状態、即ちソース電極とドレーン電極間の「オフ」状態に置く。第2の制御信号の反対の状態が、端子17aに加えられ、また線17および抵抗Rを経てトランジスタFET7のゲート電極Gに送られてFET7を比較的低インピーダンス状態、即ちそのソース電極とドレーン電極間の「オン」状態に置く。このため、端子12に送られたRF信号が前記経路に沿って比較的低損失で端子14に接続される。スイッチ10をその「オフ」状態に置くため、第1の制御信号が第2の反対の状態を持つ端子16aに加えられ、トランジスタFET1乃至FET6を低インピーダンス状態即ち「オン」状態に置いて、前記トランジスタFET1乃至FET6の各々のソース電極および

充分に考慮に入れないことである。これらの望ましくない効果は、全ての不連続性がエネルギーを放射し、表面波を励起し、伝送線に比較的高次の伝搬モードを生じる^{マイクロストリップ}極細線回路に存在する。更に、モノリシック・マイクロ波集積回路^{コア}スイッチにおいてしばしば遭遇する^{コネクタ}接続、接合点、開回路および短路回路の如き回路中の諸要素もまた、望ましくない放射および表面波励起を生じ、このため従来のMMICスイッチにより達成され得る分離に対して実際的な限界をもたらす。これらの望ましくない寄生効果に加えて、回路内の望まじからざるRF結合がMMICスイッチの分離を更に劣化する。

第1図に示した回路は、第2図に関して述べる如き構成と共に、望ましくない放射、表面波励起^{寄生結合}および寄生結合効果を抑制することにより分離の低下を減少させ、これにより入出力端子間に高い分離度を有するMESFET受動スイッチを提供する。第1図に示される如き対称的なシャント

電界効果トランジスタのタイポグラフィは、伝送線路における不連続性を最小限度に抑え、これにより従来技術の周知の非対称的な方法と比較して接地インダクタンスを低減する。このスイッチにおける第2の改訂点は、端子の1つ、本例では端子12と伝導回路網15との間に接続された直列電界効果トランジスタの使用の結果生じる。このトランジスタFET7をその高インダクタンス点即ちピンチオフ状態に置く時、スイッチに対して改訂された分離性もまた提供される。

次に、これらの望ましくない寄生効果を低減あるいは抑制する他の改訂低減について、第2図に関して記述することにする。

第2図においては、第1図の単極単投スイッチ10がここではモノリシック・マイクロ波集積回路10'として示される。第1図の類似要素は、第2図において同じ参照番号で示される。第2図に示される如く、本回路は、本例ではガリウム・ヒ素の半導体基板24上に形成される。トラン

ソース(S)およびドレーン(D)フィンガを分離する連続ゲート電極を持って示されている。ソース・フィンガ(S)は、1対の共通ソース電極Sの一方に接続されている。FET3の共通ソース電極Sは、メッキされたバイア19に接続される。このようなバイア19は直接グラウンド面導体25と接続されて、図に示すように頂面導体18aと接続されると共に、グラウンドに対して比較的低インダクタンスの経路を提供する。同様に、FET6のソース電極(S')もまた、図に示すようにバイア19および頂面導体18bに接続されている。別のメッキされたバイア19は、回路10'全体にわたって分散され、就中頂部のグラウンド面導体18a、18bを底面のグラウンド面導体25に接続するため使用される。相互に組合ったドレーン・フィンガDは、ストリップ導体15a上に置かれた共通ドレーン電極D'に接続される。基板24および下側のグラウンド面導体25と組合わされるストリップ導体15aは、マイクロストリップ伝送線15を形成する。抵抗R

(5) ジスタFET1乃至FET7に対するアクティブ領域が基板24の第1の面24a上に置かれ、周知の手法を用いて適当にドーピングされて、当業者には周知の如くMESFETのソース電極、ドレーン電極およびゲート電極を提供する。アクティブ領域26の提供のため、エピタキシャル成長あるいはイオン注入の如き手法を用いることができる。また第2図に示されるように、前記トランジスタFET1とFET4、FET2とFET5およびFET3とFET6の対が、第1図に関して述べたように、対称的なシャント結合で配置される。ここでは、トランジスタFET1乃至FET7の各々は、参考のため本文に引用された本発明の譲受人に譲渡された1988年12月16日出願のSchlinder等の米国特許出願第285,173号に関連して記載されるタイプの逆結合ゲート・トランジスタである。

次に、第2A図においては、かかるトランジスタの例示的な対、ここではFET3とFET6が、相互に組合わされた(インターディジタル)

は、これも本発明の譲受人に譲渡された米国特許第4,543,535号に関して一般的に記載される如きタイプのオープン・ゲート電界効果トランジスタによりこの回路に提供される。ここで、単一アクティブ領域26が、両方のトランジスタFET3、FET6ならびにマイクロストリップ伝送線15のストリップ導体15aの下方に配置される。アクティブ領域26は、シリコンが略々 1×10^{18} から 3×10^{17} a/ccのNタイプのドーパント濃度を有する。約 1×10^{18} a/ccシリコン以上のドーパント濃度を持つコンタクト領域26aもまた、26上に設けられて、ソースおよびドレーン・フィンガとオーミック接触を形成する。ゲート電極Gが、アクティブ領域26とショットキー・バリア接触において配置される。

第2図に示される如きスイッチ10'の1つの特徴は、基板24の頂部面上における導体領域の使用である。一連のバイア穴19による下側のグラウンド面導体24と接続されるこれらの導体

18a、18bもまた、上記の如くグラウンド面導体として働き、望ましくない結合、放射および表面伝搬の抑制を助ける。第1図に関して述べた如き対をなす対称性のシャントFETの使用は、頂部面のグラウンド面導体18a、18bと共に、マイクロストリップ伝送線15のストリップ導体15a(第2図)上のエネルギーが伝搬して端子12および14間にその「オフ」状態において比較的高い分離性を以てRFスイッチ10'を提供する限定されたチャンネルを提供する。第2図の領域21は、1対の交差する導体を電氣的に分離する従来の空気ブリッジ・オーバーレイ即ち誘電性交差部を示している。

第1図および第2図に示された回路は、スイッチ10'のオフ状態にある端子12および14間の高い分離性を提供するようにいくつかの改善を包含するものである。第1の改善点は、先に述べた如き対をなす対称的なシャント接続されたFETの使用である。第2の改善点は、メッキされたバイア19を介して下側のグラウンド

コネクタ64a乃至64cおよび65a乃至65dと、回路10'を収受する中心部の凹部66間に通路を提供するように配置される。溝68はマイクロストリップ伝送線を収受して、回路10'を同軸コネクタ64a乃至64cおよび65a乃至65dに相互に連結する。第2図の回路においては、コネクタ64a、64cがRF端子として使用し、コネクタ65a、65dは制御信号端子として使用することができる。パッケージ60のベース62における溝68および凹部66は更に、コネクタ64a、64c間の分離性を改善しあるいはその劣化を低減する。マイクロストリップ伝送エレメント69は溝68の各々に挿入され、基板69a、ここではその第1の面上に置かれたグラウンド面導体69bと、パターン状のマイクロストリップ導体、ここではその第2の反対面上に置かれた69cとを持つアルミナを含む。導電性エポキシを用いて、マイクロストリップ伝送エレメント69のグラウンド面を溝68内に固定する。このような伝送エレメント69は、ここではRF接続と

(6)

面導体25に接続されるグラウンド面導体として基板24の頂部面24a上にグラウンド面導体18a、18bを形成することにより提供されるチャンネル化されたマイクロストリップ伝送線15を使用することである。頂部面のグラウンド面導体18a、18bは、表面波の伝搬を抑制する。更にまた、約3枚の基板厚さ以上離れた回路上の導体の間隔が面結合を低減し、これにより分離性を改善する。

次に第3図においては、高い分離性のRFスイッチ回路10'に特に適合するパッケージ60が、真ちゅうの如き機械用金属からなり、望ましくは金を載せた如き非常に導電率の高い金属のコーティング(番号を付さず)を有するベース62を含むように示されている。このパッケージ60は更に、その上にマイクロストリップの遷移部(図示せず)に対して同軸状の周知の同軸コネクタ64a乃至64cおよび65a乃至65dを有する。ベース62は、チャンネル即ち溝68を有する。ここで、前記溝68は比較的深く、同軸

バイアス接続の双方に使用される。

次に第4図においては、単極双投スイッチ30が、第1の組40a即ち複数のFET、ここではFET1乃至FET3と、第2の組40b即ち複数のFET、ここではFET4乃至FET6とを含むように示される。このような組40a、40bは、スイッチ30に対する第1の経路を提供する。このようなトランジスタFET1とFET4、FET2とFET5、およびFET3とFET6の各対は、第1の伝搬回路網35aに接続される。回路網35a、ここではマイクロストリップ伝送線は、一端部が回路30の第1の分岐端子34aと接続され、第2の端部は線33の接合部と第1図のFET7と類似する直列接続されたFET7との間に接続された分岐部33aを持つ共通のマイクロストリップ伝搬回路網33に接続されている。入力伝送線33は、一端部がスイッチ30の共通端子32と接続されている。このため、スイッチ30に対する第1の経路は、共通端子32と分岐端子34aとの間に提供される。

第2の経路42は、トランジスタ42a、42bの第3と第4の組、即ちトランジスタFET10乃至FET12と、それぞれ第2の伝搬回路網35bを介して接続されたFET13乃至FET15を含む。ここでは、第2の直列接続されたトランジスタFET16が、伝搬回路網35bと共通伝搬回路網33の第2の分岐部33bとの間に配置され、これにより共通端子32に接続される。FET16の第2の電極が回路網35bと接続される。回路網35bは、図に示すように順次トランジスタFET10、FET13、等、の対の各々のドレーン電極を相互に連結する。このため、第2の経路42が、共通端子32と第2の分岐端子34b間に提供される。

前記トランジスタFET1乃至FET3の各々のソース電極は、図示の如く導体45aを介して基準電位に接続されるが、トランジスタFET4乃至FET6およびFET10乃至FET12のソース電極は、これも図示の如く中心部導体46に接続されている。FET13乃至FET15の

FET6の各々を高インピーダンス状態に置く。制御信号が端子38a、39aに送られて、トランジスタFET16をを高インピーダンス状態に、またトランジスタFET10乃至FET15を低インピーダンス状態に置く。このモードにおいては、端子32は端子34bから実質的に分離され、端子34は端子34aに接続される。

このように、上記の制御信号の各々の反対の即ち相補的な状態は、当業者により略々全般的に理解されるように、接続端子36a、37b、38a、39aに与えられて、端子32、端子34b間に信号を接続し、また端子34aからのこのような信号を分離する。

次に、第5図においては、単極双単投スイッチ30は、第4図に関して一般的に述べるように、スイッチ10に対して第2図に関して述べた如き一般原理を用いてモノリシック・マイクロ波集積回路30'として形成された状態で示されている。しかし、ここでは、第4図に関して一般的に述べた如き諸要素に加えて、別の対の直列に接続

(7) トランジスタのソース電極は、これまた図示のように第3の導体45bに接続されている。トランジスタFET1乃至FET6の各々のゲート電極Gは、各プルアップ抵抗RおよびDCバイアス線36を介して第1の制御ポート36aに接続されている。第2の制御ポート37aは、第1図に関して一般的に述べたように、線37および抵抗Rを介してFET7のゲート電極に接続される。第3の制御端子38aが線38および抵抗Rを介してFET10乃至FET15のゲート電極Gに接続されかつ第4の制御端子39aが線39および抵抗Rを介してトランジスタFET16に接続されるように、チャンネル42に対する同様な構成が提供される。

スイッチ30の作動は第1図に関して記述したものと略々類似し、これにより端子32および34a間に信号を接続しかつ端子34bを分離し、制御信号は端子37aに送られてトランジスタFET7を低インピーダンス状態に置き、第2の信号は端子36aに送られてトランジスタFET1乃至

されたトランジスタFET7'およびFET16'が、このスイッチの分岐端子34a、34bを伝搬回路網の伝搬線35a、35bの各々に接続するため設けられる。更に別の分岐線33a、33b(第4図)は本例では使用されない。これらは、共通のマイクロストリップ伝搬回路網33を対をなす直列接続されたトランジスタFET7、FET16に直接当てることにより取除かれる。第5図に示されたデバイスの構造のこれ以上の詳細については、特に第2図および第2A図の論議に照らせば当業者には明らかになるであろう。このため、ここでは、チャンネル化されたマイクロストリップ伝送線35aが複数の対称性のシャント接続されたFET、即ち、図に示すように導体領域45a、46間に接続あるいは配置されるFET1とFET4、FET2とFET5、FET3とFET6により提供されるといえは充分であろう。同様な構成はチャンネル42に対しても提供される。構造の他の詳細については第2図に関して一般的に記述され、このため、

開源にするためここでは繰返さない。導体45a、45b、46は、これも第2図に関して記述したように、ビア穴19により、基板44により支持される下側のグラウンド面導体(図示せず)に接続される。第3図に示した如きパッケージが回路30をパッケージするため用いることができる。ここで、導体65a乃至65dがDC制御信号をRFスイッチ30に送られるが、導体64a、64cはスイッチ30に対する分岐ポートを提供し、コネクタ64bがスイッチ30に対する共通ポートを提供する。また第1図に関して述べたように、スイッチ30は複数対のシャントFETが設けられ、かかるシャントFETの各々はそのソース電極とドレイン電極間に無効(リアクティブ)インピーダンスを有する。この無効インピーダンスは、周知の如く、分散回路原理を用いて広帯域回路網を提供し、これにより比較的高い分離性を有する広帯域特性を有するスイッチを提供する伝送線15(第1図)を設計する際、考慮に入れられる。

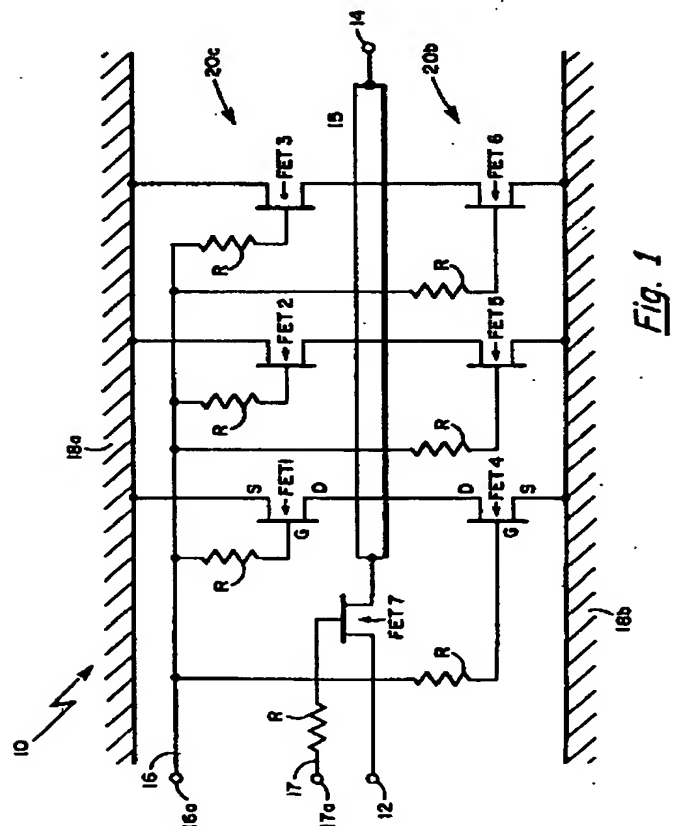
与えられる分離された外部信号を受取るくぼんだチャンネルを有するパッケージの斜視図、第4図は本発明の更に別の特質による単極双投スイッチの概略図、および第5図はモノリシック・マイクロ波集積回路として形成された第4図のスイッチの平面図である。

10…単極単投スイッチ、12、14…スイッチ信号端子、15…マイクロストリップ伝送線、16…共通導体、17、18…導体、19…ビア穴、20…電界効果トランジスタの組、24…半導体基板、25…グラウンド面導体、26…アクティブ領域、30…単極双投スイッチ、32…共通端子、33…共通のマイクロストリップ伝搬回路網、34…分岐端子、35…伝搬回路網、36…DCバイアス線、42…チャンネル、44…基板、45…導体、60…パッケージ、62…ベース、64、65…同軸導体(コネクタ)、66…凹部、68…輝、69…マイクロストリップ伝送エレメント。

(8) 本発明の望ましい実施態様について記述したが、当業者には、これらの概念を包含する他の実施態様を使用できることが明らかであろう。例えば、トランジスタの大きさの如き回路構成要素の諸値を最適化するためCADルーチンを用いることができる。スペースを節減するため伝送線の曲折を使用することができ、また他のRFスイッチ形式も実現することが可能である。従って、これらの実施態様は開示された実施態様に限定されるべきではなく、むしろ願望の特許請求の範囲によってのみ限定されるべきものと考える。

4. 図面の簡単な説明

第1図は本発明による単極単投スイッチの概略図、第2図はモノリシック・マイクロ波集積回路として形成された第1図のスイッチの平面図、第2A図は本発明の更に別の特質により1対のシャント接続FETの構造の詳細を示すため拡大された第2図に示したスイッチの一部の線2A-2Aに関する拡大平面図、第3図はスイッチ間に



(9)

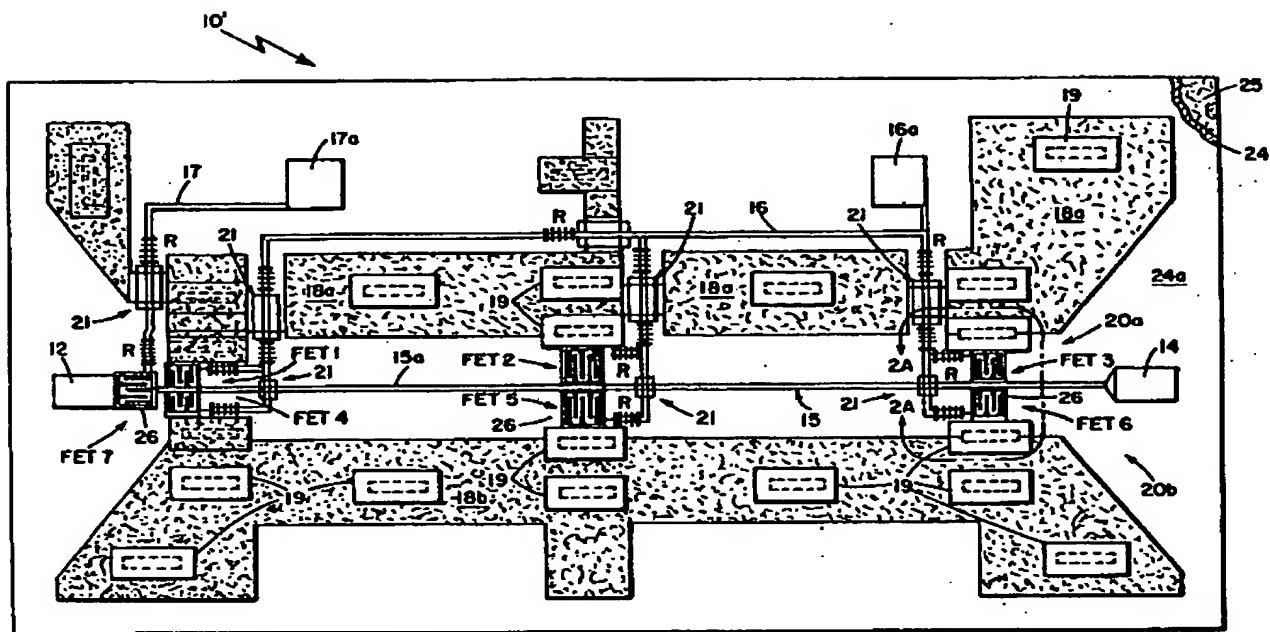


Fig. 2

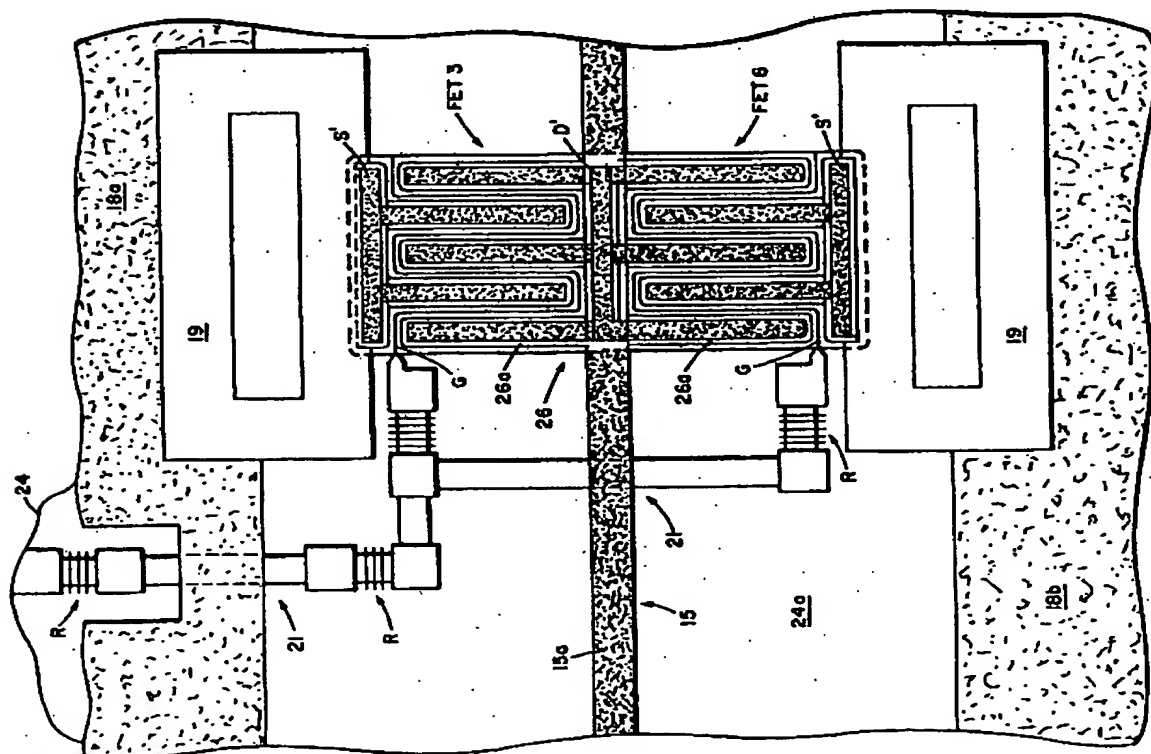


Fig. 2A

(10)

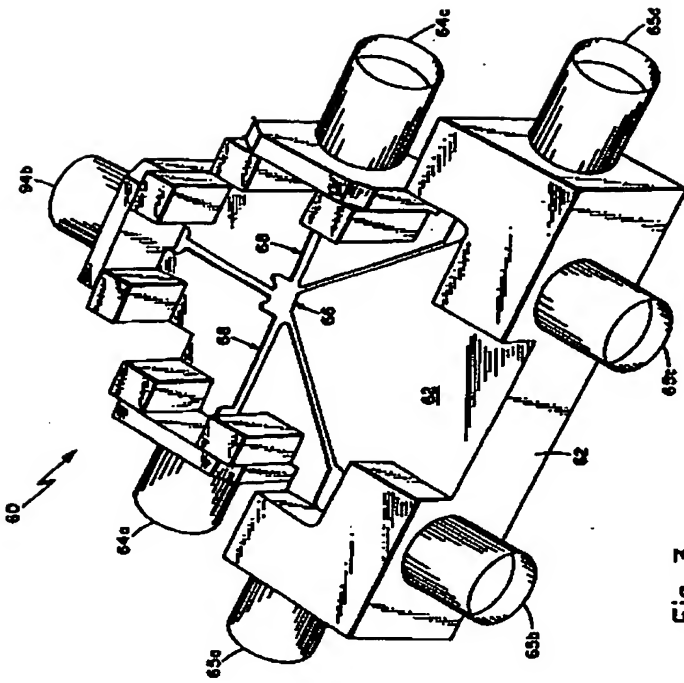


Fig. 3

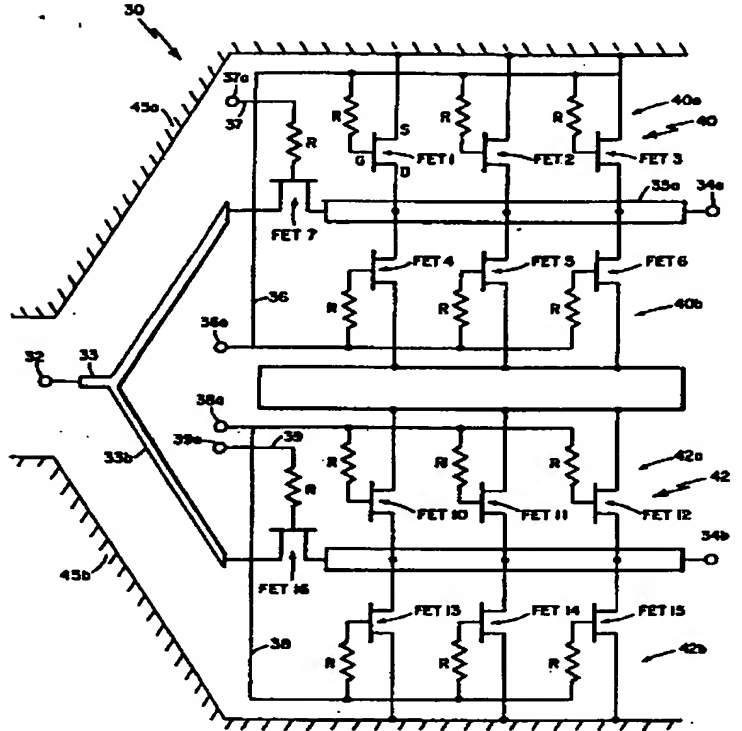


Fig. 4

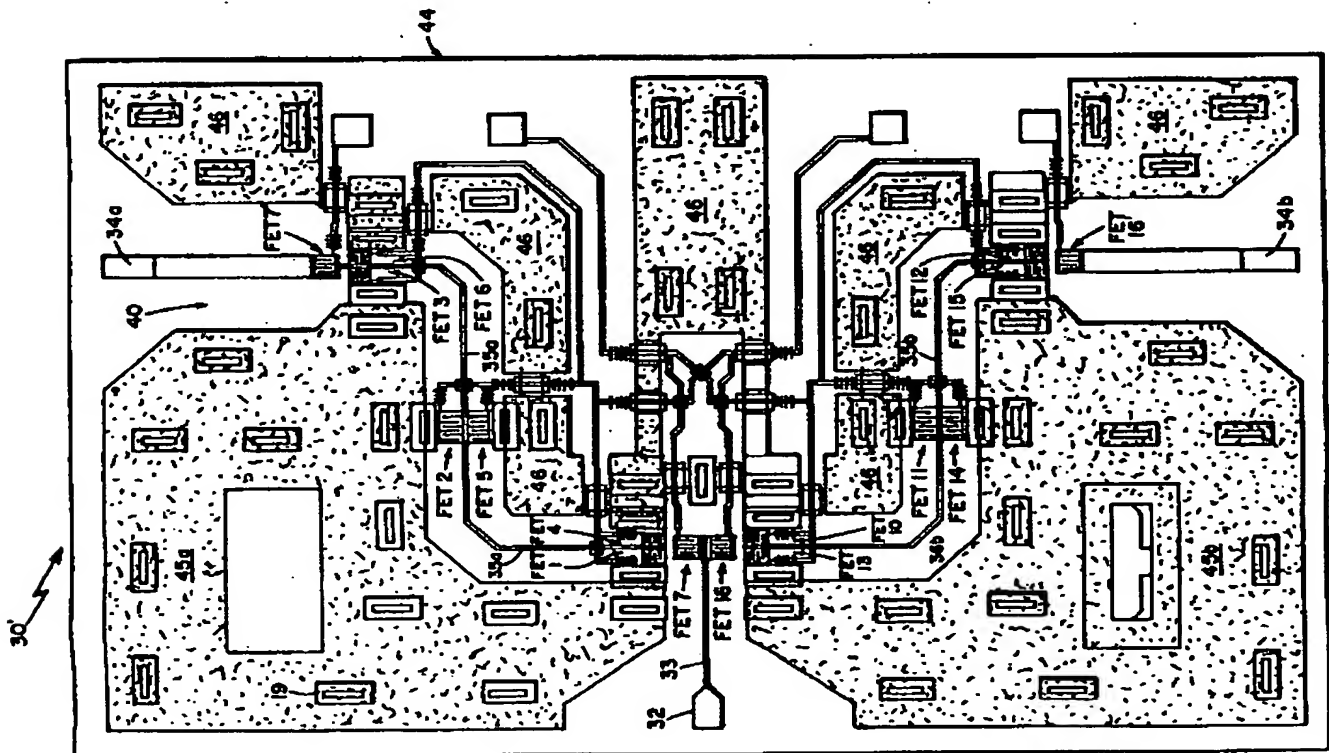


Fig. 5

第1頁の続き

⑫発 明 者

シエアウツド・エイ・
モクオーウエン・ジュ
ニアー

アメリカ合衆国カリフォルニア州サンタ・バーバラ, ペプ
ル・ヒル・ブレース 208